

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-162278

(43)Date of publication of application : 16.06.2000

(51)Int.Cl. G01R 31/28

(21)Application number : 11-332968

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 24.11.1999

(72)Inventor : SUGAMORI SHIGERU

(30)Priority

Priority number : 98 200909

Priority date : 27.11.1998

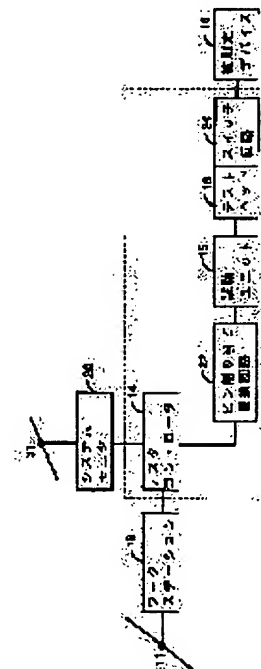
Priority country : US

## (54) MAINTENANCE-FREE TEST SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a maintenance-free test system, which does not require a user to be aware of changes in the configuration of internal hardware as a result of maintenance of the test system.

SOLUTION: A maintenance-free test system is constituted of a test controller 14 with test channels, corresponding to the number of a large number of terminal pins of a semiconductor device provided inside the test system for control the various operation of the test system, a test unit 15 for generating test patterns and expected-value patterns at predetermined timing in a predetermined waveform, a test head 16 with a pin assignment converter to provide the test unit 15 with conversion data which indicate the conversion relationship between the physical test pin number of the test unit 15 and an auxiliary tester pin numbers, a driver for providing a device to be tested 18 with a predetermined amplitude value, and a comparator for comparing an output signal from the device to be tested 18 with an expectation value, a switching circuit 24 for switching from a defective tester pin to an auxiliary tester pin on the basis of the conversion data from the pin assign converter, and a system monitor 26 to monitor the switching and to control the data of the switching.



## LEGAL STATUS

[Date of request for examination]

22.09.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

JPO and NCIP I are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] In the test system which has a trial channel (circuit tester pin) corresponding to the number of terminal pins in order to examine the semiconductor device which has many terminal pins The circuit tester controller which is formed in the interior of a test system and includes the test pattern given to an examined semiconductor device, and its timing and wave and which controls various actuation of the test system, the control signal from the circuit tester controller being boiled, and it being based, and a test pattern and an expectation value pattern with predetermined timing and the trial unit generated in a wave The translation data which is prepared between a circuit tester controller and a trial unit, and expresses the conversion relation between the physical circuit tester pin number of the above-mentioned trial unit, and the auxiliary circuit tester pin number (it replaced with the defect circuit tester pin) The pin assignment converter given to the trial unit and the driver for giving the test pattern from a trial unit to an examined semiconductor device by predetermined amplitude value, The test head which has a comparator for detecting the level of the output signal from an examined semiconductor device, and comparing it with expected value, The switching circuit which is prepared between the test head and an examined semiconductor device, and changes the above-mentioned defect circuit tester pin to the above-mentioned auxiliary circuit tester pin based on the translation data from the above-mentioned pin assignment converter, The test system characterized by looking like [ the system monitor which manages the data of monitor *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. ] modification accompanying modification and various kinds of maintenances of a circuit tester pin inside the test system, and being constituted more.

[Claim 2] The test system according to claim 1 which has further the workstation which functions as an interface of the above-mentioned test system and its user, and was constituted so that a user might give various kinds of test conditions to a test program on the workstation and might examine the above-mentioned semiconductor device.

[Claim 3] It is the test system according to claim 1 which the above-mentioned pin assignment converter sets the translation data which transposes the logic circuit tester pin number on the software which a user specifies on the workstation to the above-mentioned physical circuit tester pin number, and outputs by having further the workstation which functions as an interface of the above-mentioned test system and its user, and being constituted so that a user may give various kinds of test conditions to a test program on the workstation and may examine the above-mentioned semiconductor device.

[Claim 4] The above-mentioned system monitor is a test system according to claim 1 which lets a dedicated line pass and sends out the information about the maintenance of the test system to a service center.

[Claim 5] The above-mentioned workstation is a test system according to claim 1 which lets a general-purpose circuit pass and is used also as an interface of other test systems.

[Claim 6] The above-mentioned pin assignment converter is a test system according to claim 3 which has the 1st memory which stores the data for changing the above-mentioned logic circuit tester pin number into the above-mentioned physical circuit tester pin number, the 2nd memory

which stores the data which change the above-mentioned physical circuit tester pin number into the auxiliary circuit tester pin number, and the multiplexer which sends out alternatively the data from those 1st and 2nd memory.

[Claim 7] In the test system which has a trial channel (circuit tester pin) corresponding to the number of terminal pins in order to examine the semiconductor device which has many terminal pins The workstation which functions as an interface between the users of the test system and test system, The circuit tester controller which is formed in the interior of a test system and includes the test pattern given to an examined semiconductor device, and its timing and wave and which controls various actuation of the test system, The trial unit which generates a test pattern and an expectation value pattern in predetermined timing and a wave based on the control signal from the circuit tester controller, The 1st translation data which is prepared between a circuit tester controller and a trial unit, and expresses the conversion relation between the logic circuit tester pin number of the above-mentioned trial unit, and the physical circuit tester pin number, The pin assignment converter which gives the 2nd translation data showing the conversion relation between the physical circuit tester pin number and the auxiliary circuit tester pin number (it replaced with the defect circuit tester pin) to the trial unit, The driver for giving the test pattern from a trial unit to an examined semiconductor device by predetermined amplitude value, The test head which has a comparator for detecting the level of the output signal from an examined semiconductor device, and comparing it with expected value, The switching circuit which is prepared between the test head and an examined semiconductor device, and changes the above-mentioned defect circuit tester pin to the above-mentioned auxiliary circuit tester pin based on the above-mentioned translation data from the above-mentioned pin assignment converter, The test system characterized by looking like [ the system monitor which manages the data of monitor *Perilla frutescens* (L.) Britton var. *crispa* (Thunb.) Decne. ] modification accompanying modification and various kinds of maintenances of a circuit tester pin inside the test system, and being constituted more.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPJ are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Even if this invention has a defect's etc. fault especially in the semi-conductor testing device about the semi-conductor testing device (test system) for examining a semiconductor integrated circuit etc., it relates to the maintenance-free test system it was made not to require that the user who uses it recognizes the defect's etc. management (maintenance), and its result.

[0002]

[Description of the Prior Art] The semi-conductor testing device for evaluating them is also carrying out enlargement complication with the advancement in complicated of a semiconductor integrated circuit in recent years. For example, a semi-conductor testing device (henceforth a "test system" if needed) for the number of pins to attain to 1000 or more, and for an examined semiconductor integrated circuit (henceforth "an examined device" if needed) in recent years examine the device also needs to be equipped with 1000 or more trial channels (henceforth a "circuit tester pin" if needed). For every circuit tester pins of these, a pattern generator, a timing generator, a trial waveform shaping circuit, and by having a driver and a comparator further, the test pattern of arbitration is generated independently and each pin of an examined device can be examined.

[0003] Fig. 1 is a simplified block diagram showing one example of a test system. In this drawing, each of the trial channel (circuit tester pin) mentioned above is not shown, and the test system is expressed as a combination of big functional block. In the example of Fig. 1, a test system is constituted by the test head 16 with a workstation 12, the circuit tester controller 14, and the trial unit 15, and examines the examined device 18. A workstation 12 functions as a user interface of a test system, and uses an operating system like UNIX (UNIX). It connects with a network 11 and a workstation 12 may constitute the network of two or more test systems.

[0004] The circuit tester controller 14 is the special purpose processor prepared in the interior of a test system, and controls various actuation of a test system. The trial unit 15 is constituted by the pattern generator for generating the test pattern given to an examined device, the timing generator, and the pan by the trial waveform shaping circuit etc. A test head 16 detects the level of the output signal from the driver and the examined device for giving a test pattern to the examined device 18 with the predetermined amplitude and a predetermined slew rate, and is constituted by the comparator for comparing it with expected value etc. In the above-mentioned configuration, the trial unit 15 and a test head 16 are the same as the number of the maximum pins of an examined device, or the number beyond it is formed corresponding to the circuit tester pin (trial channel).

[0005] Thus, since it has much complicated circuitry for every circuit tester pin, a test system in recent years is very large-scale as a whole, and is the system which has many components mark. For this reason, a test system cannot avoid generating of failure etc. completely, but needs to be premised on a certain fault arising. For example, when it is discovered that the circuit tester pin of 1 has failure by the self-test of a test system while using the test system, how to transpose a circuit tester pin with failure to the circuit tester pin for exchange (auxiliary

pin) which was able to be prepared in detail beforehand as the cure (maintenance) can be considered.

[0006] A user's burden is size and it does not have it that a user performs data control, such as hardware configuration modification inside the test system according to the exchange in to prepare the new test program accompanying the modification \*\*\*\* [, and ], further with such exchange. [ that the user of a test system is obliged to modification of a test pro ram ] [ desirable ] Therefore, the test system which can be used like before is searched for, without completely participating in the result of a maintenance of a user.

[0007]

[Problem(s) to be Solved by the Invention] Therefore, the purpose of this invention is to offer the maintenance free test system which does not require that he is conscious of the configuration change of the internal hardware as a result of the maintenance of a user of a test system.

[0008] Other purposes of this invention are to offer the maintenance free test system which does not require changing a test program as a result of the maintenance of a user of a test system, or using another test program.

[0009] The purpose of further others of this invention is to offer the maintenance-free test system which could be made to carry out a centralized control by the CPU system in which the data of modification, such as maintenance career of a test system and internal hardware by it, were independently prepared through the network etc. via the system monitor.

[0010] The purpose of further others of this invention is by making a change of the pin number by modification of the table data in a pin assignment converter to offer the test system it was made for a test program not to take any modification to while exchanging the defect circuit tester pin for an auxiliary pin, when a defect arises at a circuit tester pin with a test system.

[0011] The purpose of further others of this invention is to offer the test system which formed the pin assignment converter which stores both the table data for making a change between the physical pin number and the actually used pin number which was carried out by defect exchange to the table data for making a change between the logic pin number and the physical pin number.

[0012]

[Means for Solving the Problem] The test system which has a trial channel (circuit tester pin) corresponding to the number of terminal pins in order to examine the semiconductor device which has many terminal pins in this invention The circuit tester controller which is formed in the interior of a test system and includes the test pattern given to an examined semiconductor device, and its timing and wave and which controls various actuation of the test system, The trial unit which generates a test pattern and an expectation value pattern in predetermined timing and a wave based on the control signal from the circuit tester controller, The translation data which is prepared between a circuit tester controller and a trial unit, and expresses the conversion relation between the physical circuit tester pin number of the above-mentioned trial unit, and the auxiliary circuit tester pin number (it replaced with the defect circuit tester pin) The pin assignment converter given to the trial unit and the driver for giving the test pattern from a trial unit to an examined semiconductor device by predetermined amplitude value, The test head which has a comparator for detecting the level of the output signal from an examined semiconductor device, and comparing it with expected value, The switching circuit which is prepared between the test head and an examined semiconductor device, and changes the above-mentioned defect circuit tester pin to the above-mentioned auxiliary circuit tester pin based on the translation data from the above-mentioned pin assignment converter, It is characterized by resembling the system monitor which carries out the monitor of the modification accompanying various kinds of maintenances including modification of the circuit tester pin inside the test system, and manages those data, and being constituted more.

[0013] The above-mentioned test system by this invention has further the workstation which functions as an interface with a user, and it is constituted so that a user may give various kinds of test conditions to a test program on the workstation and may examine the above-mentioned semiconductor device.

[0014] When a user sets up various kinds of test conditions on a test program via the above-mentioned workstation, the above-mentioned pin assignment converter can set and output the translation data which transposes the logic circuit tester pin number on the software which a user specifies on the workstation to the above-mentioned physical circuit tester pin number.

[0015] The test system of this invention does not take a user that he is conscious of the configuration change of the internal hardware as a result of the maintenance of a test system. Moreover, a user does not require changing a test program or using another test program, even if modification arises in the internal configuration by the maintenance of a test system. Furthermore in the test system of this invention, the centralized control of the modification data, such as maintenance career and internal hardware, can be carried out by the dedicated line via a system monitor in another CPU system. A device trial in the condition of having changed these pin numbers can be carried out without forming the pin assignment converter which stores both the table data for making a change between the physical pin number and the actually used pin number which was carried out by defect exchange to the table data for making a change between the logic pin number and the physical pin number, and the test system of this invention taking modification of a test program.

[0016]

[Embodiment of the Invention] The example of this invention is explained with reference to a drawing. Fig. 2 is a block diagram showing the outline configuration of the test system of this invention. The test system of this invention does not take that he is conscious of the pin assignment which did not require that a user participated in a maintenance and was changed as a result of the maintenance. In Fig. 2, the maintenance-free test system of this invention is constituted by the switching circuit 24 for backup established in a workstation 12, a system monitor (maintenance processor) 26, the circuit tester controller 14, the pin quota conversion circuit (pin assignment converter) 22, the trial unit 15, a test head 16, and its test head, and examines the examined device 18. In the configuration of the above-mentioned test system, the trial channel more than the number of the maximum pins of an examined device (circuit tester pin) is prepared, and each circuit tester pin is equipped with the trial unit 15 or the test head 16 according to the individual, respectively.

[0017] Like the conventional technical example of Fig. 1, a workstation 12 functions as a user interface of a test system, and uses an operating system like UNIX (UNIX). It connects with the general-purpose network 11, and a workstation 12 may constitute the network of two or more test systems. A system monitor 26 functions as a maintenance processor, and it functions also as an interface with the service center which supports another CPU system (a maintenance at large [ for example, ]) through the exclusive network 31. A system monitor 26 sends them out to a service center while carrying out the monitor of the data about the hardware (quota modification of a circuit tester pin etc.) and software which were changed as a result of [ its ] the career of a maintenance of the corresponding test system etc. Although it is also technically possible to make connection with a network from a system monitor 26 by the general-purpose network 11, it is desirable to consider as an exclusive network from a viewpoint of a user's security protection.

[0018] The circuit tester controller 14 is the special purpose processor prepared in the interior of a test system, and controls various actuation of a test system. The pin quota conversion circuit (pin assignment converter) 22 changes the pin number on a test program into the pin number in the hardware of an actual test system. In the pin assignment converter 22 of this invention, it has the function to change into the actual pin number (physical pin number) of an examined device the pin number (logic pin number) on the test program which a user starts by workstation, and the function to change the physical pin number into the operating pin number (auxiliary pin number) replaced as a result of a maintenance so that it may explain in full detail later.

[0019] The trial unit 15 is constituted by the pattern generator for generating the test pattern given to an examined device, the timing generator, and the pan by the trial waveform shaping circuit etc. A test head 16 detects the level of the output signal from the driver and the examined device for giving a test pattern to the examined device 18 with the predetermined

amplitude and a predetermined slew rate, and is constituted by the comparator for comparing it with expected value etc. The switching circuit 24 for backup is formed in one with a test head 16, and when a certain circuit tester pin is a defect, it is changed to an auxiliary pin by this switching circuit.

[0020] The pin quota conversion actuation in the test system of this invention is explained using the pin quota conceptual diagram of the example of circuitry of Fig. 3, and Fig. 4. As mentioned above, a test system is easily maintainable by transposing the circuit tester pin which produced problems, such as failure, to the circuit tester pin for backup. If a test program takes modification and another test program when there is exchange of such a circuit tester pin, too much burden will be forced upon the user of a test system.

[0021] Therefore, in the test system of this invention, it makes it unnecessary to add modification to a circuit tester program by using the pin assignment converter 22 by changing the physical pin number into the pin number replaced as a result of a maintenance. Moreover, the pin assignment converter 22 of this invention also has the function to change into the physical pin number of an examined device the logic pin number on the test program which a user starts by workstation, as mentioned above.

[0022] Probably, the need of changing the physical pin number into the auxiliary pin number for a maintenance will be clear from the above-mentioned explanation. Therefore, the need for the conversion actuation to the physical pin number from the logic pin number is explained below briefly. More detailed contents are indicated by the Japanese patent application number 10-192050 by the same grantee of this invention. Generally, a semiconductor chip is contained by the package of various classes. Since internal wiring changes with classes of package, in the semiconductor device contained by the package with which the same semiconductor chips differ, the pins of the semiconductor device as a finished product corresponding to the specific pin of a semiconductor chip differ, respectively.

[0023] A user uses the logic pin number which is the imagination pin number on the software of the trial unit 15 and a test head 16, when setting various kinds of test conditions as a test program by workstation 12. However, as mentioned above, if packages differ even if the internal semiconductor chip of the examined semiconductor device 18 is the same, internal wiring therefore differs also from its pin out. For this reason, when actually examining a semiconductor device, it is necessary to change the logic pin number used in the test program into the physical pin number which is the pin number on the hardware of the trial unit 15 or a test head 16 for every examined device. Therefore, the pin assignment converter 22 of this invention not only changes the physical pin number into the auxiliary (use) pin number replaced by failure, but the function to change the logic pin number into the physical pin number has it.

[0024] The pin assignment converter 22 of this invention is constituted from an example of a configuration of Fig. 3 by the pin assignment memory 40 and 42, a decoder 44, and multiplexers 52, 54, and 56. In order to simplify explanation, in this example of a configuration, multiplexers 52, 54, and 56 recognize a large number existence according to the number of circuit tester pins in fact, although only one piece is shown, respectively. The table data which are this configuration, for example, make a note and change the logic pin number into the physical pin number 40 are memorized, and the table data which change the physical pin number into memory 42 at an actual use pin (auxiliary pin) number are memorized.

[0025] These table data are storable in memory 40 and memory 42 through the circuit tester controller 14, before the manufacturer of a test system supplies a test system to a user. Moreover, the engineer who took charge of the maintenance of a test system when failure etc. took place after the test system was delivered to the user stores in memory 42 the data which change the physical pin number into the operating pin number through the circuit tester controller 14.

[0026] As a result, a user can set various test conditions as a test program only being conscious of the logic pin number, without being conscious of the auxiliary pin number currently exchanged and used for the physical pin number in a test system, or failure. At this time, when a user specifies the package type of an examined device, the address data corresponding to it are sent to the pin assignment converter 22, and the translation table data of the pin assignment memory



40 are specified. Moreover, it does not require that a user specifies the translation table data of the pin assignment memory 42 in any way.

[0027] When examining the examined device 18 according to a test system, data 34 and the address 36 are given to the pin assignment converter 22 of Fig. 3 from the circuit tester controller 14. 14 bits of an address signal 36 specify the address of the pin assignment memory 40. The data table as shown in Fig. 4 (A) is constituted by the pin assignment memory 40. In this example, a left-hand side data stream is the logic pin number in case a user sets up a test condition on a test program, for example, a note of it is made and it is in agreement with the address of 40. Moreover, a right-hand side data stream is the physical pin number of the test system hardware corresponding to the logic pin number, and is beforehand set up according to the package type of an examined device etc. Therefore, the data changed into the physical pin number corresponding to the data stream specified by the 14-bit address signal are outputted from memory 40.

[0028] The data outputted from memory 40 are given to the pin assignment memory 42 as address data in the example of Fig. 3. As shown in Fig. 4 (B), the physical pin number and the operating pin number of the table data stored in memory 42 are usually the same. However, a test system has failure, and as shown in Fig. 4 (C), when the maintenance which exchanges the failure pin for an auxiliary pin is made, a serviceman etc. rewrites the contents of memory 42. In this example, since the physical pin number 40 was poor, the case where the sequential shift of the physical pin number after it is carried out at the following number is shown.

[0029] In the example of a configuration of the pin assignment converter of Fig. 3, the discernment bit which is a part of address signal 36 is sent to a decoder 44, and it is identified for conversion of the pin number whether it is the need. When being changed [ of the pin number.] is shown in the discernment bit, a decoder 44 activates the output signal (selection signal) 46. A selection signal 46 is given to the control input of multiplexers 52, 54, and 56, and the data of the pin assignment memory 40 and 42 specified by the address let those multiplexers pass, and it is supplied to the trial unit 15 and a test head 16. The circuit tester pin specified with these data is used in the case of the trial of an actual semiconductor device.

[0030] The data stored in the pin assignment converter are sent to the CPU system for service (service center) which a monitor is suitably carried out with a system monitor 26, for example, a test system manufacturer manages via the exclusive network 31. Therefore, data changed as a result of the maintenance, such as the contents of hardware and career of a maintenance, are collectable to at any time in a service center.

[0031] Fig. 5 and Fig. 6 show the example of a circuit of the switching circuit 24 for backup connected to the post-stage of a test head 16, and it. The maintenance to failure is performed by transposing the defect pin of a test system to an auxiliary pin as mentioned above. The switching circuit 24 for backup has contained the switch group for changing to the auxiliary pin. This is explained briefly. More detailed contents are indicated by the Japanese patent application number 7-341098 by the same grantee of this invention.

[0032] The test head 16 has driver comparator 62A-62Z corresponding to the circuit tester pin, and the switching circuit 24 consists of Figs. 5 so that a driver comparator can be changed by switch 65A-65N and switch 67A-67N. The performance board 63 is equipped with the examined device 64, and each of that I/O pin is connected with a test head 16 via a switching circuit 24. In this example, driver comparator 62Z is prepared in backup, and is a \*\*\*\* supplemental circuit. Here, more than one will be prepared, when a supplemental circuit actually constitutes a test system although only one piece is not indicated since it is simple.

[0033] In this configuration, when there is a defect pin, the one pin number after that defect pin is shifted and changed like the example shown in the data stream of Fig. 4 (C). For example, when the circuit tester pin containing driver comparator 62B is a defect, the test head section of the pin is changed to driver comparator 62C. for that purpose, switch 65B -- OFF and switch 67B -- ON and switch 65C -- OFF and switch 67C -- ON -- a sequential setup is carried out like .. The defect pin of a test system can be exchanged for a normal pin, without this having any effect on the examined device 63.

[0034] With the configuration of Fig. 6, the switch is formed in each of driver comparator 72A-

72Z, respectively for the driver input change and the comparator output change. In this example, driver comparator 72Z is prepared in backup, it is a \*\*\*\* supplemental circuit and all the above-mentioned driver input changeover switches and comparator output changeover switches are connected in common. In this example, only the driver comparator corresponding to a circuit tester pin with a defect is changed to a supplemental circuit. For example, when the circuit tester pin by which driver comparator 72B is contained is a defect, it changes to driver comparator 72Z which is a supplemental circuit by turning ON OFF and switch 77B for switch 75B.

[0035]

[Effect of the Invention] As mentioned above, the test system of this invention does not take a user that he is conscious of the configuration change of the internal hardware as a result of the maintenance of a test system. Moreover, a user does not require changing a test program or using another test program, even if modification arises in the internal configuration by the maintenance of a test system. Furthermore in the test system of this invention, the centralized control of the modification data, such as maintenance career and internal hardware, can be carried out by a general purpose or the dedicated line via a system monitor in a service center. A device trial in the condition of having changed these pin numbers can be carried out without forming the pin assignment converter which stores both the table data for making a change between the physical pin number and the actually used pin number which was carried out by defect exchange to the table data for making a change between the logic pin number and the physical pin number, and the test system of this invention taking modification of a test program.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the example of an outline configuration of the conventional semi-conductor testing device (test system).

[Drawing 2] It is the block diagram showing the example of an outline configuration of the maintenance free test system by this invention.

[Drawing 3] It is the block diagram showing the example of circuitry of the pin quota conversion (pin assignment converter) used for the test system of this invention.

[Drawing 4] (A), (B), and (C) are the schematic diagrams showing the pin quota data stored in the pin assignment converter shown in Fig. 3 used for the test system of this invention.

[Drawing 5] In the test head section of the test system of this invention, it is the block diagram showing one example of the switching circuit for backup for changing a failure pin to an auxiliary pin.

[Drawing 6] In the test head section of the test system of this invention, it is the block diagram showing other examples of the switching circuit for backup for changing a failure pin to an auxiliary pin.

[Description of Notations]

- 12 Workstation
- 14 Circuit Tester Controller
- 15 Trial Unit
- 16 Test Head
- 18 Examined Device
- 22 Pin Quota Conversion Circuit
- 24 Switching Circuit
- 26 System Monitor

---

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-162278

(P2000-162278A)

(43)公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

G 0 1 R 31/28

G 0 1 R 31/28

H

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21)出願番号 特願平11-332968

(22)出願日 平成11年11月24日(1999.11.24)

(31)優先権主張番号 09/200909

(32)優先日 平成10年11月27日(1998.11.27)

(33)優先権主張国 米国 (U S)

(71)出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72)発明者 菅森 茂

アメリカ合衆国95054カリフォルニア州サ

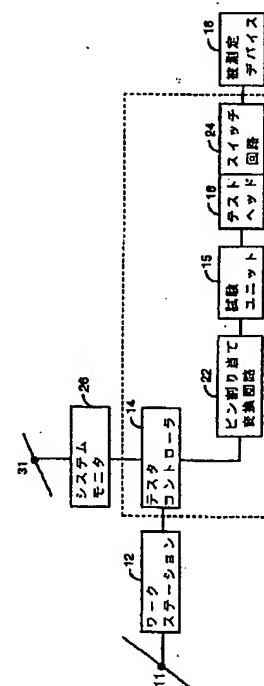
ンダクララ市スコット通3201

(54)【発明の名称】 メンテナンスフリーテストシステム

(57)【要約】

【課題】 ユーザがテストシステムのメンテナンスの結果としての内部ハードウェアの構成変更を意識することを要しないメンテナンスフリーなテストシステムを提供する。

【解決手段】 半導体デバイスの多数の端子ピン数に対応する試験チャンネルを有し且つ、テストシステムの内部に設けられ、そのテストシステムの各種動作を制御するテストコントローラと、テストパターンや期待値パターンを所定のタイミングと波形で発生する試験ユニットと、試験ユニットの物理的テストピン番号と補助テストピン番号の変換関係をあらわす変換データを、その試験ユニットに与えるピンアサインコンバータと、被試験デバイスに所定の振幅値で与えるドライバと、被試験デバイスからの出力信号を期待値と比較するためのコンパレータとを有するテストヘッドと、ピンアサインコンバータからの変換データに基づいて、不良テストピンを補助テストピンに切り替えるスイッチ回路と、その変更をモニタしそのデータを管理するシステムモニタとにより構成する。



## 【特許請求の範囲】

【請求項1】 多数の端子ピンを有する半導体デバイスを試験するためにその端子ピン数に対応する試験チャンネル（テストピン）を有するテストシステムにおいて、テストシステムの内部に設けられ、被試験半導体デバイスに与えるテストパターンやそのタイミングおよび波形を含む、そのテストシステムの各種動作を制御するテストコントローラと、

そのテストコントローラからの制御信号をに基づいて、テストパターンや期待値パターンを所定のタイミングと波形で発生する試験ユニットと、

テストコントローラと試験ユニットとの間に設けられ、上記試験ユニットの物理的テストピン番号と補助テストピン番号（不良テストピンと置き換えた）の変換関係をあらわす変換データを、その試験ユニットに与えるピンアサインコンバータと、

被試験半導体デバイスに試験ユニットよりのテストパターンを所定の振幅値で与えるためのドライバと、被試験半導体デバイスからの出力信号のレベルを検出し、それを期待値と比較するためのコンパレータとを有するテストヘッドと、

そのテストヘッドと被試験半導体デバイス間に設けられ、上記ピンアサインコンバータからの変換データに基づいて、上記不良テストピンを上記補助テストピンに切り替えるスイッチ回路と、

そのテストシステム内部のテストピンの変更や各種のメンテナンスに伴う変更をモニタしそのデータを管理するシステムモニタと、

により構成されることを特徴とするテストシステム。

【請求項2】 上記テストシステムとそのユーザとのインターフェイスとして機能するワークステーションをさらに有し、ユーザがそのワークステーション上でテストプログラムに各種の試験条件を与えて上記半導体デバイスの試験を実施するように構成された、請求項1に記載のテストシステム。

【請求項3】 上記テストシステムとそのユーザとのインターフェイスとして機能するワークステーションをさらに有し、ユーザがそのワークステーション上でテストプログラムに各種の試験条件を与えて上記半導体デバイスの試験を実施するように構成され、上記ピンアサインコンバータはユーザがそのワークステーション上で指定するソフトウェア上の論理テストピン番号を上記物理テストピン番号に置き換える変換データを合わせて出力する、請求項1に記載のテストシステム。

【請求項4】 上記システムモニタは専用回線を通して、そのテストシステムのメンテナンスに関する情報をサービスセンタに送出する、請求項1に記載のテストシステム。

【請求項5】 上記ワークステーションは汎用回線を通して、他のテストシステムのインターフェイスとしても

用いられる、請求項1に記載のテストシステム。

【請求項6】 上記ピンアサインコンバータは、上記論理テストピン番号を上記物理テストピン番号に変換するためのデータを格納する第1のメモリと、上記物理テストピン番号を補助テストピン番号に変換するデータを格納する第2のメモリと、それらの第1および第2のメモリからのデータを選択的に送出するマルチプレクサとを有する、請求項3に記載のテストシステム。

【請求項7】 多数の端子ピンを有する半導体デバイスを試験するためにその端子ピン数に対応する試験チャンネル（テストピン）を有するテストシステムにおいて、そのテストシステムとテストシステムのユーザ間のインターフェイスとして機能するワークステーションと、テストシステムの内部に設けられ、被試験半導体デバイスに与えるテストパターンやそのタイミングおよび波形を含む、そのテストシステムの各種動作を制御するテストコントローラと、

そのテストコントローラからの制御信号に基づいて、テストパターンや期待値パターンを所定のタイミングと波形で発生する試験ユニットと、

テストコントローラと試験ユニットとの間に設けられ、上記試験ユニットの論理テストピン番号と物理テストピン番号の変換関係をあらわす第1の変換データと、その物理テストピン番号と補助テストピン番号（不良テストピンと置き換えた）の変換関係をあらわす第2の変換データを、その試験ユニットに与えるピンアサインコンバータと、

被試験半導体デバイスに試験ユニットよりのテストパターンを所定の振幅値で与えるためのドライバと、被試験半導体デバイスからの出力信号のレベルを検出し、それを期待値と比較するためのコンパレータとを有するテストヘッドと、

そのテストヘッドと被試験半導体デバイス間に設けられ、上記ピンアサインコンバータからの上記変換データに基づいて、上記不良テストピンを上記補助テストピンに切り替えるスイッチ回路と、

そのテストシステム内部のテストピンの変更や各種のメンテナンスに伴う変更をモニタしそのデータを管理するシステムモニタと、

により構成されることを特徴とするテストシステム。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体集積回路等を試験するための半導体試験装置（テストシステム）に関し、特にその半導体試験装置に不良等の不具合があっても、それを使用するユーザがその不良等の対処（メンテナンス）やその結果を認識することを要しないようにしたメンテナンスフリーテストシステムに関する。

## 【0002】

【従来の技術】 近年の半導体集積回路の複雑高度化に伴

い、それらを評価するための半導体試験装置も大型化複雑化している。例えば近年の被試験半導体集積回路(以下必要に応じて「被試験デバイス」という)は、そのピン数が1000以上にもおよぶことがあり、そのデバイスを試験するための半導体試験装置(以下必要に応じて「テストシステム」という)も1000以上の試験チャンネル(以下必要に応じて「テストピン」という)を備える必要がある。これらの各テストピンごとに、パターン発生器、タイミング発生器や試験波形整形回路、さらにはドライバやコンパレータを有することにより、任意の試験パターンを独立に発生して被試験デバイスの各ピンを試験することができる。

【0003】第1図はテストシステムの1例を示す簡略ブロック図である。この図では上述した試験チャンネル(テストピン)の個々については示してなく、大きな機能ブロックの組み合わせとしてテストシステムをあらわしている。第1図の例では、テストシステムはワークステーション12と、テストコントローラ14と、試験ユニット15と、テストヘッド16により構成され、被試験デバイス18を試験する。ワークステーション12はテストシステムのユーザインターフェイスとして機能するものであり、例えばユニックス(UNIX)のようなオペレーティングシステムを用いている。ワークステーション12はネットワーク11に接続されて複数のテストシステムのネットワークを構成することもある。

【0004】テストコントローラ14はテストシステム内部に設けられた専用プロセッサであり、テストシステムの各種動作を制御する。試験ユニット15は被試験デバイスに与える試験パターンを発生させるための、パターン発生器、タイミング発生器、さらに試験波形整形回路等により構成されている。テストヘッド16は被試験デバイス18に試験パターンを所定の振幅やスループットで与えるためのドライバと、被試験デバイスからの出力信号のレベルを検出し、それを期待値と比較するためのコンパレータ等により構成されている。上記の構成において、試験ユニット15とテストヘッド16は、被試験デバイスの最大ピン数と同じまたはそれ以上の数が、テストピン(試験チャンネル)に対応して設けられている。

【0005】このようにテストピンごとに多くの複雑な回路構成を有するので、近年のテストシステムは、全体として極めて大規模で多くの部品点数を有するシステムとなっている。このためテストシステムは、故障等の発生を完全に避けることはできず、何らかの不具合が生じることを前提とする必要がある。例えば、テストシステムを使用中において、あるいはテストシステムの自己診断により、1のテストピンに故障があることが発見された場合、その対策(メンテナンス)として、故障のあるテストピンを、予備に設けられた交換用テストピン(補助ピン)に置き換える方法が考えられる。

【0006】このような交換にともない、テストシステムのユーザがテストプログラムの変更を余儀なくされたり、あるいはその変更に伴う新たなテストプログラムを用意したり、さらにはその交換によるテストシステム内部のハードウェア構成変更等のデータ管理をユーザが行うことは、ユーザの負担が大であり好ましくない。したがって、ユーザがメンテナンスの結果に全く関与することなく、以前と同じように使用できるテストシステムが求められている。

【0007】

【発明が解決しようとする課題】したがって、本発明の目的は、ユーザがテストシステムのメンテナンスの結果としての内部ハードウェアの構成変更を意識することを要しないメンテナンスフリーなテストシステムを提供することにある。

【0008】本発明の他の目的は、ユーザがテストシステムのメンテナンスの結果としてテストプログラムを変更しあるいは別のテストプログラムを使用することを要しないメンテナンスフリーなテストシステムを提供することにある。

【0009】本発明のさらに他の目的は、テストシステムのメンテナンス経歴やそれによる内部ハードウェア等の変更のデータをシステムモニタを経由してネットワーク等を介して別に設けられたCPUシステムにより集中管理できるようにしたメンテナンスフリーテストシステムを提供することにある。

【0010】本発明のさらに他の目的は、テストシステムのあるテストピンに不良が生じた場合、その不良テストピンを補助ピンに交換するとともに、そのピン番号の変更をピンアサインコンバータにおけるテーブルデータの変更により行うことにより、テストプログラムに何らの変更を要しないようにしたテストシステムを提供することにある。

【0011】本発明のさらに他の目的は、論理ピン番号と物理ピン番号間の変更をするためのテーブルデータと、物理ピン番号と不良交換によりした実際に使用するピン番号間の変更をするためのテーブルデータとを共に格納するピンアサインコンバータを設けたテストシステムを提供することにある。

【0012】

【課題を解決するための手段】本発明では、多数の端子ピンを有する半導体デバイスを試験するためにその端子ピン数に対応する試験チャンネル(テストピン)を有するテストシステムは、テストシステムの内部に設けられ、被試験半導体デバイスに与えるテストパターンやそのタイミングおよび波形を含む、そのテストシステムの各種動作を制御するテストコントローラと、そのテストコントローラからの制御信号に基づいて、テストパターンや期待値パターンを所定のタイミングと波形で発生する試験ユニットと、テストコントローラと試験ユニット

との間に設けられ、上記試験ユニットの物理的テストピン番号と補助テストピン番号（不良テストピンと置き換えた）の変換関係をあらわす変換データを、その試験ユニットに与えるピンアサインコンバータと、被試験半導体デバイスに試験ユニットよりのテストパターンを所定の振幅値で与えるためのドライバと、被試験半導体デバイスからの出力信号のレベルを検出し、それを期待値と比較するためのコンパレータとを有するテストヘッドと、そのテストヘッドと被試験半導体デバイス間に設けられ、上記ピンアサインコンバータからの変換データに基づいて、上記不良テストピンを上記補助テストピンに切り替えるスイッチ回路と、そのテストシステム内部のテストピンの変更を含む各種のメンテナンスに伴う変更をモニタしそれらのデータを管理するシステムモニタと、により構成されることを特徴とする。

【0013】本発明による上記テストシステムはさらに、ユーザとのインターフェイスとして機能するワークステーションをさらに有し、ユーザがそのワークステーション上でテストプログラムに各種の試験条件を与えて上記半導体デバイスの試験を実施するように構成される。

【0014】ユーザが上記ワークステーションを経由して各種の試験条件をテストプログラム上に設定する場合、上記ピンアサインコンバータはユーザがそのワークステーション上で指定するソフトウェア上の論理テストピン番号を上記物理テストピン番号に置き換える変換データを合わせて出力することができる。

【0015】本発明のテストシステムでは、ユーザはテストシステムのメンテナンスの結果としての内部ハードウェアの構成変更を意識することを要しない。またユーザはテストシステムのメンテナンスによりその内部構成に変更が生じて、テストプログラムを変更しあるいは別のテストプログラムを使用することを要しない。さらに本発明のテストシステムでは、メンテナンス経歴や内部ハードウェア等の変更データをシステムモニタを経由して例えば専用回線により別のCPUシステムで集中管理できる。本発明のテストシステムでは、論理ピン番号と物理ピン番号間の変更をするためのテーブルデータと、物理ピン番号と不良交換によりした実際に使用するピン番号間の変更をするためのテーブルデータとを共に格納するピンアサインコンバータを設け、テストプログラムの変更を要することなく、これらのピン番号の変換をした状態でのデバイス試験を実施できる。

【0016】

【発明の実施の形態】本発明の実施例を図面を参照して説明する。第2図は本発明のテストシステムの概略構成を示すブロック図である。本発明のテストシステムでは、ユーザがメンテナンスに関与することを要せず且つメンテナンスの結果変更されたピン割り当て等意識することを要しない。第2図において、本発明のメンテナ

ンスフリーテストシステムは、ワークステーション12と、システムモニタ（メンテナンスプロセッサ）26と、テストコントローラ14と、ピン割り当て変換回路（ピンアサインコンバータ）22と、試験ユニット15と、テストヘッド16と、そのテストヘッドに設けられたバックアップ用スイッチ回路24により構成され、被試験デバイス18を試験する。上記のテストシステムの構成において、被試験デバイスの最大ピン数以上の試験チャンネル（テストピン）が設けられ、各テストピンには試験ユニット15やテストヘッド16がそれぞれ個別に備えられている。

【0017】第1図の従来技術例と同様に、ワークステーション12はテストシステムのユーザインターフェイスとして機能するものであり、例えばユニックス（UNIX）のようなオペレーティングシステムを用いている。ワークステーション12は汎用ネットワーク11に接続されて複数のテストシステムのネットワークを構成することもある。システムモニタ26はメンテナンスプロセッサとして機能するものであり、専用ネットワーク31を介して別のCPUシステム、例えばメンテナンス全般をサポートするサービスセンター、とのインターフェイスとしても機能する。システムモニタ26は、該当するテストシステムのメンテナンスの経歴やその結果変更されたハードウェア（テストピンの割り当て変更等）やソフトウェアに関するデータ等をモニタするとともに、それらをサービスセンターに送出する。システムモニタ26からネットワークへの接続は、汎用ネットワーク11により行うことも技術的には可能であるが、ユーザの機密保持の観点からは、専用ネットワークとすることが好ましい。

【0018】テストコントローラ14はテストシステム内部に設けられた専用プロセッサであり、テストシステムの各種動作を制御する。ピン割り当て変換回路（ピンアサインコンバータ）22は、テストプログラム上のピン番号を実際のテストシステムのハードウェアにおけるピン番号に変換する。後で詳述するように、本発明のピンアサインコンバータ22においては、ユーザがワークステーションで起動するテストプログラム上でのピン番号（論理ピン番号）を被試験デバイスの実際のピン番号（物理ピン番号）に変換する機能と、物理ピン番号をメンテナンスの結果として置き換えた使用ピン番号（補助ピン番号）に変換する機能とを有する。

【0019】試験ユニット15は、被試験デバイスに与える試験パターンを発生させるためのパターン発生器、タイミング発生器、さらに試験波形整形回路等により構成されている。テストヘッド16は、被試験デバイス18に試験パターンを所定の振幅やスルーレイトで与えるためのドライバと、被試験デバイスからの出力信号のレベルを検出し、それを期待値と比較するためのコンパレータ等により構成されている。バックアップ用スイッチ

回路24は、テストヘッド16と一体的に設けられ、あるテストピンが不良のときは、このスイッチ回路により補助ピンに切り替える。

【0020】本発明のテストシステムにおけるピン割り当て変換動作を、第3図の回路構成例と第4図のピン割り当て概念図を用いて説明する。上述のように、故障等の問題を生じたテストピンをバックアップ用のテストピンに置き換えることにより、テストシステムのメンテナンスを容易に行うことができる。このようなテストピンの交換があったとき、テストプログラムに変更や別のテストプログラムを要するならば、テストシステムのユーザに過度の負担を強いることとなる。

【0021】したがって、本発明のテストシステムにおいては、ピンアサインコンバータ22を用いることにより、物理ピン番号をメンテナンスの結果として置き換えたピン番号に変換することにより、テストプログラムに変更を加えることを不要としている。また上述のように本発明のピンアサインコンバータ22は、ユーザがワークステーションで起動するテストプログラム上での論理ピン番号を被試験デバイスの物理ピン番号に変換する機能も有している。

【0022】物理ピン番号をメンテナンス用補助ピン番号に変換する必要性は、上記の説明からあきらかであろう。よって次に論理ピン番号から物理ピン番号への変換動作の必要性を簡単に説明する。より詳細な内容は、本発明の同一の譲受人による日本特許出願番号10-192050に開示されている。一般に、半導体チップは様々な種類のパッケージに収納される。パッケージの種類によって内部の配線が異なるので、同一の半導体チップが異なるパッケージに収納された半導体デバイスにおいて、半導体チップの特定ピンに対応する完成品としての半導体デバイスのピンは、それぞれ異なっている。

【0023】ユーザは、ワークステーション12でテストプログラムに各種の試験条件を設定するとき、試験ユニット15とテストヘッド16のソフトウェア上の仮想的なピン番号である論理ピン番号を用いる。しかし上述のように、被試験半導体デバイス18は、内部の半導体チップが同一であっても、パッケージが異なれば、内部配線、したがってそのピン配列も異なる。このため、実際に半導体デバイスを試験するときには、テストプログラムにおいて用いられた論理ピン番号を、被試験デバイス毎に、試験ユニット15やテストヘッド16のハードウェア上のピン番号である物理ピン番号に変換する必要がある。したがって本発明のピンアサインコンバータ22は、物理ピン番号を故障により置き換えた補助(使用)ピン番号に変換するのみならず、論理ピン番号を物理ピン番号に変換する機能も合わせ持っている。

【0024】第3図の構成例では、本発明のピンアサインコンバータ22は、ピンアサインメモリ40および42、デコーダ44、マルチプレクサ52、54および5

6により構成されている。説明を簡単にするために、この構成例ではマルチプレクサ52、54および56は、それぞれ1個しか示されていないが、実際にはテストピン数に応じて多数存在する。この構成で、例えばメモリ40には、論理ピン番号を物理ピン番号に変換するテーブルデータが記憶され、メモリ42には、物理ピン番号を実際の使用ピン(補助ピン)番号に変換するテーブルデータが記憶される。

【0025】これらのテーブルデータは、例えばテストシステムのメーカがテストシステムをユーザに供給する前に、テストコントローラ14を通してメモリ40およびメモリ42に格納することができる。またテストシステムがユーザに納品された後に故障等が起こった場合は、例えばテストシステムのメンテナンスを担当したエンジニアは、物理ピン番号を使用ピン番号に変換するデータを、テストコントローラ14を介してメモリ42に格納する。

【0026】この結果ユーザは、テストシステム中の物理ピン番号や故障のために交換して使用している補助ピン番号を意識することなく、論理ピン番号のみを意識して各種試験条件をテストプログラムに設定することができる。このときユーザは、被試験デバイスのパッケージタイプを指定することにより、それに対応するアドレスデータがピンアサインコンバータ22に送られ、ピンアサインメモリ40の変換テーブルデータが特定される。またピンアサインメモリ42の変換テーブルデータは、ユーザが何ら指定することを要しない。

【0027】テストシステムにより被試験デバイス18を試験する場合には、第3図のピンアサインコンバータ22に、テストコントローラ14からデータ34とアドレス36が与えられる。アドレス信号36のうちの例えば14ビットが、ピンアサインメモリ40のアドレスを指定する。ピンアサインメモリ40には、第4図(A)に示すようなデータテーブルが構成されている。この例において左側のデータ列は、ユーザがテストプログラム上で試験条件を設定するときの論理ピン番号であり、例えばメモリ40のアドレスと一致している。また右側のデータ列は、論理ピン番号に対応するテストシステムハードウェアの物理ピン番号であり、被試験デバイスのパッケージタイプ等に応じて、あらかじめ設定されている。したがって、14ビットのアドレス信号により指定されたデータ列に対応した、物理ピン番号に変換されたデータがメモリ40から出力される。

【0028】メモリ40から出力されたデータは、第3図の例では、ピンアサインメモリ42にアドレスデータとして与えられる。第4図(B)に示すように、メモリ42に格納されるテーブルデータは、通常は物理ピン番号と使用ピン番号は同一である。しかしテストシステムに故障があり、その故障ピンを補助ピンに交換するメンテナンスがなされた場合、サービスマン等は、メモリ4



2の内容を第4図(C)のように書き換える。この例では、物理ピン番号40が不良であったので、それ以後の物理ピン番号を次の番号に順次シフトした場合を示している。

【0029】第3図のピンアサインコンバータの構成例では、アドレス信号36の一部である識別ビットがデコーダ44に送られ、ピン番号の変換が必要か否かが識別される。ピン番号の変換が必要であることが識別ビットに示されている場合は、デコーダ44はその出力信号

(選択信号)46をアクティブにする。選択信号46はマルチプレクサ52、54および56の制御入力に与えられ、アドレスにより指定されたピンアサインメモリ40および42のデータが、それらのマルチプレクサを通して、試験ユニット15およびテストヘッド16に供給される。これらのデータにより指定されたテストピンが、実際の半導体デバイスの試験の際に使用される。

【0030】ピンアサインコンバータに格納されたデータは、システムモニタ26によって適宜モニタされ、例えば専用ネットワーク31を経由して、例えばテストシステムメーカーが管理するサービス用CPUシステム(サービスセンタ)に送られる。したがってサービスセンタでは、メンテナンスの結果変更されたハードウェアの内容やメンテナンスの経歴等のデータを、随時に収集することができる。

【0031】第5図と第6図は、テストヘッド16の後段部とそれに接続されるバックアップ用スイッチ回路24の回路例を示す。上述のようにテストシステムの不良ピンは、補助ピンに置き換えることにより、故障に対するメンテナンスが行われる。バックアップ用スイッチ回路24は、その補助ピンに切り替えるためのスイッチ群を収納している。これについて簡単に説明する。より詳細な内容は、本発明の同一の譲受人による日本特許出願番号7-341098に開示されている。

【0032】第5図では、テストヘッド16はテストピンに対応してドライバ・コンパレータ62A-62Zを有しており、スイッチ回路24はスイッチ65A-65Nおよびスイッチ67A-67Nによりドライバ・コンパレータを切り替えできるように構成されている。被試験デバイス64は、例えばパフォーマンスボード63に装着されて、その各入出力ピンは、スイッチ回路24を経由してテストヘッド16と接続される。この例において、ドライバ・コンパレータ62Zは、バックアップ用に設けられた補助回路である。ここでは簡略のために補助回路は1個のみしか記載されていないが、実際にテストシステムを構成する場合は、複数個設けられるであろう。

【0033】この構成において、不良ピンが有った場合は、第4図(C)のデータ列に示す例のように、その不良ピン以後のピン番号を1つづらして切り替える。例えば、ドライバ・コンパレータ62Bを含むテストピンが

不良の場合は、そのピンのテストヘッド部をドライバ・コンパレータ62Cに切り替える。そのためには、スイッチ65Bをオフ、スイッチ67Bをオン、スイッチ65Cをオフ、スイッチ67Cをオン...のように順次設定する。これにより被試験デバイス63には何らの影響を与えることなく、テストシステムの不良ピンを正常ピンに交換することができる。

【0034】第6図の構成では、ドライバ・コンパレータ72A-72Zのそれぞれには、スイッチがドライバ入力切り替えと、コンパレータ出力切り替えのためにそれぞれ設けられている。この例において、ドライバ・コンパレータ72Zは、バックアップ用に設けられた補助回路であり、上記のドライバ入力切り替えスイッチとコンパレータ出力切り替えスイッチの全てが、共通に接続されている。この例では、不良のあったテストピンに対応するドライバ・コンパレータのみを、補助回路に切り替える。例えばドライバ・コンパレータ72Bが含まれるテストピンが不良の場合は、スイッチ75Bをオフ、スイッチ77Bをオンにすることにより、補助回路であるドライバ・コンパレータ72Zに切り替わる。

【0035】

【発明の効果】以上のように、本発明のテストシステムでは、ユーザはテストシステムのメンテナンスの結果としての内部ハードウェアの構成変更を意識することを要しない。またユーザはテストシステムのメンテナンスによりその内部構成に変更が生じて、テストプログラムを変更しあるいは別のテストプログラムを使用することを要しない。さらに本発明のテストシステムでは、メンテナンス経歴や内部ハードウェア等の変更データをシステムモニタを経由して汎用あるいは専用回線によりサービスセンタで集中管理できる。本発明のテストシステムでは、論理ピン番号と物理ピン番号間の変更をするためのテーブルデータと、物理ピン番号と不良交換によりした実際に使用するピン番号間の変更をするためのテーブルデータとを共に格納するピンアサインコンバータを設け、テストプログラムの変更を要することなく、これらのピン番号の変換をした状態でのデバイス試験を実施できる。

【図面の簡単な説明】

【図1】従来の半導体試験装置(テストシステム)の概略構成例を示すブロック図である。

【図2】本発明によるメンテナンスフリーなテストシステムの概略構成例を示すブロック図である。

【図3】本発明のテストシステムに用いるピン割り当て変換(ピンアサインコンバータ)の回路構成例を示すブロック図である。

【図4】(A)と(B)及び(C)は、本発明のテストシステムに用いる第3図に示したピンアサインコンバータ内に格納するピン割り当てデータを示す概略図である。

11

12

【図5】本発明のテストシステムのテストヘッド部に  
いて、故障ピンを補助ピンに切り替えるためのバックア  
ップ用スイッチ回路の1例を示すブロック図である。

【図6】本発明のテストシステムのテストヘッド部に  
いて、故障ピンを補助ピンに切り替えるためのバックア  
ップ用スイッチ回路の他の例を示すブロック図である。

【符号の説明】

12 ワークステーション

\*

\* 14 テスタコントローラ

15 試験ユニット

16 テストヘッド

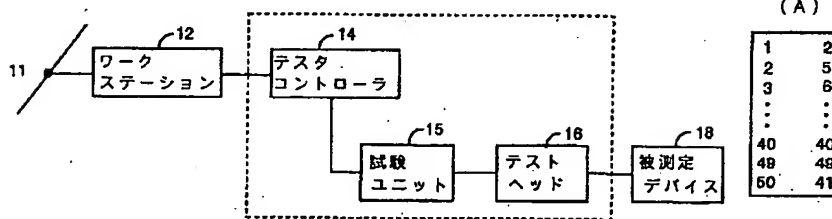
18 被試験デバイス

22 ピン割り当て変換回路

24 スイッチ回路

26 システムモニタ

【図1】



【図4】

(A)

1	2
2	5
3	6
...	...
40	40
49	49
50	41

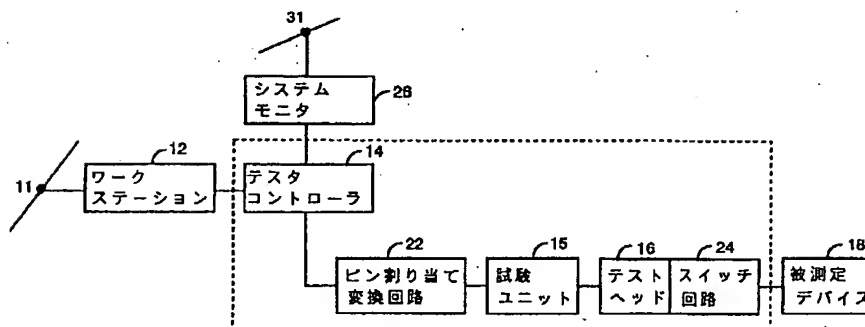
(B)

2	2
5	5
6	6
...	...
40	40
49	49
41	41

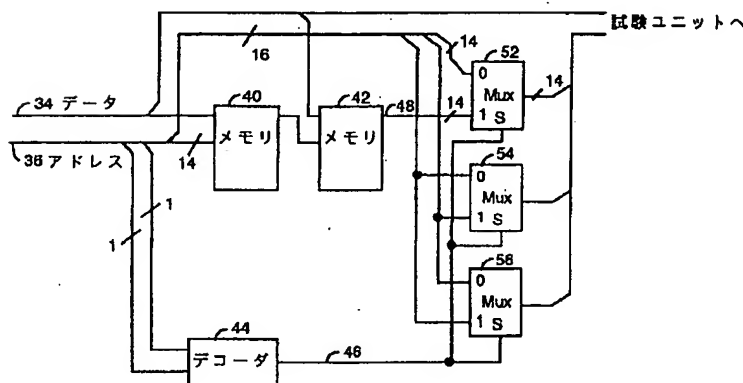
(C)

2	2
5	5
6	6
...	...
40	41
49	50
41	42

【図2】



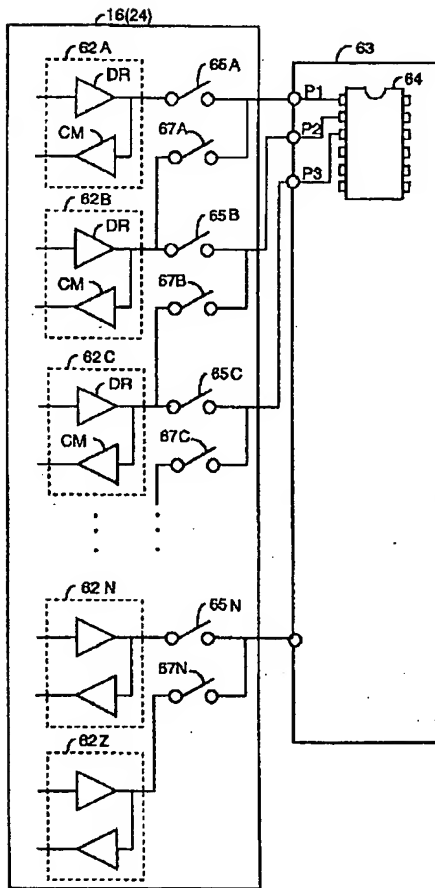
【図3】



(8)

特開2000-162278

【図5】



【図6】

